

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007323

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 29/78

(21)Application number : 11-179939

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 25.06.1999

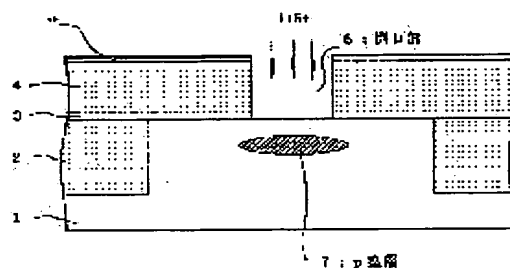
(72)Inventor : IIDA IZUO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent generation of a punch-through in a MOS transistor and also to reduce junction capacitance of a source layer and a drain layer.

**SOLUTION:** A second silicon nitride film 5, a silicon nitride film 4 and a first silicon nitride film 3 are etched in this order, and an aperture 6 is formed in a gate electrode forming region. Boron is ion-implanted in a substrate through this aperture 6, to form a p-type layer 7 for preventing punch-throughs in the substrate. With the aperture 6 filled with a polysilicon layer 9, the polysilicon layer 9 of a thickness of 3,000 to 4,000 Å is formed on the film 5 through LPCVD method. The layer 9 is subjected to entire surface etching, to leave only the layer 9 filled in the aperture 6 and the layer 9 is formed as a gate electrode.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-7323

(P2001-7323A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl.

H01L 29/78

識別記号

FI

H01L 29/78

テーマコード(参考)

301H 5F040

審査請求 未請求 請求項の数5 OL (全5頁)

(21) 出願番号

特願平11-179939

(22) 出願日

平成11年6月25日 (1999.6.25)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 飯田伊豆雄

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

Fターム(参考) 5F040 DA12 DA18 EC07 EE05 EF02

EK05 FA03 FB02 FC10 FC19

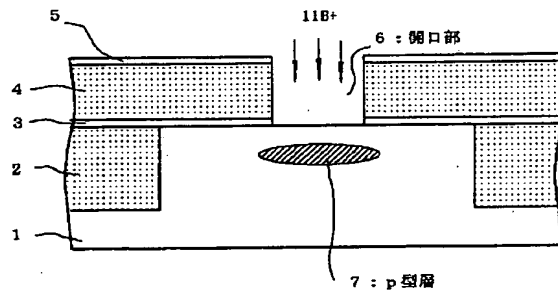
FC22

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 MOSトランジスタのパンチスルーを防止すると共に、ソース層及びドレイン層の有する接合容量を低減する。

【解決手段】 第2シリコン窒化膜5、シリコン酸化膜4及び第1シリコン窒化膜3を順次、エッチングし、ゲート電極の形成領域に開口部6を形成する。そして、この開口部6から、ボロンをイオン注入して、パンチスルー防止用のp型層7を形成する。開口部6を充填すると共に、第2シリコン窒化膜5上に3000Å～4000Åのポリシリコン層9をLPCVD法によって形成する。ポリシリコン層9を全面エッチングして開口部6に充填されたポリシリコン層9のみを残し、ゲート電極とする。



## 【特許請求の範囲】

【請求項1】第1導電型の半導体基板上にシリコン酸化膜を形成し、該シリコン酸化膜に開口部を形成する工程と、

前記開口部から不純物を導入し、バンチスルー防止用の第1導電型不純物層を形成する工程と、

前記開口部の半導体基板表面にゲート酸化膜を形成する工程と、

前記開口部を充填するとともに前記シリコン酸化膜上にシリコン層を形成する工程と、

前記シリコン層を全面エッチングし、前記開口部に残存したシリコン層から成るゲート電極を形成する工程と、

前記シリコン酸化膜を除去する工程と、

前記ゲート電極の両側の前記半導体基板上に第2導電型のソース層及びドレイン層を形成する工程と、

を有し、前記バンチスルー防止用の第1導電型層は、実質的にソース層とドレイン層との間のチャネル領域に形成されることを特徴とする半導体装置の製造方法。

【請求項2】第1導電型の半導体基板上に、その表面が実質的に該半導体基板の表面と同一平面上に位置するトレンチ分離膜を形成する工程と、

前記トレンチ分離膜を含む前記半導体基板上の全面にシリコン酸化膜を形成し、該シリコン酸化膜に開口部を形成する工程と、

前記開口部から不純物を導入し、バンチスルー防止用の第1導電型不純物層を形成する工程と、

前記開口部の半導体基板表面にゲート酸化膜を形成する工程と、

前記開口部を充填するとともに前記シリコン酸化膜上にシリコン層を形成する工程と、

前記シリコン層を全面エッチングし、前記開口部に残存したシリコン層から成るゲート電極を形成する工程と、

前記シリコン酸化膜をエッチングにより除去する工程と、

前記ゲート電極の両側の前記半導体基板上に第2導電型のソース層及びドレイン層を形成する工程と、

を有し、前記バンチスルー防止用の第1導電型層は、実質的にソース層とドレイン層との間のチャネル領域に形成されることを特徴とする半導体装置の製造方法。

【請求項3】前記シリコン層に対する全面エッチングはCMPによって行うことを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

【請求項4】前記シリコン酸化膜と前記シリコン層との間にシリコン窒化膜から成るエッチングストッパー膜を介在させることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】前記トレンチ分離膜は、シリコン酸化膜から成り、かつ該トレンチ分離膜と前記シリコン酸化膜との間にシリコン窒化膜から成るエッチングストッパー膜を介在させることを特徴とする請求項2に記載の半導体

装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特にMOSトランジスタのバンチスルーを防止すると共に、ソース層及びドレイン層の有する接合容量を低減したMOSトランジスタの製造方法に関する。

【0002】

【従来の技術】従来、図7に示すように、MOSトランジスタのソース層及びドレイン層間のバンチスルー電流の発生を抑制するために、そのチャネル領域にいわゆる深いチャネルドープを施すことにより、バンチスルー防止用の不純物層を形成している。

【0003】以下に、図7を参照しながら、従来の半導体装置の製造方法を説明する。例えば、P型半導体基板51上に素子分離膜としてLOCOS膜52を形成し、この半導体基板51上にダミー酸化膜を形成する。その後、イオン注入によってバンチスルー防止用のP型不純物層54を形成する。その後、ダミー酸化膜を除去し、ゲート酸化膜53を形成する。

【0004】そして、ゲート酸化膜53上にゲート電極55を形成する。このゲート電極55の両側に、リンのイオン注入によってn層を形成する。さらに、ゲート電極55の側壁にサイドウォールスペーサ膜56を形成した後に、砒素のイオン注入によってn層を形成する。これにより、n層/n層から成るソース層57及びドレイン層58が形成され、LDD構造のNチャネル型のMOSトランジスタが完成する。

【0005】上記のMOSトランジスタによれば、チャネル領域の比較的深い所にバンチスルー防止用のP型不純物層54が形成されているので、ドレイン層58に高電圧が印加された場合に空乏層がチャネル領域に広がることを防止され、ソース層57とドレイン層58間のバンチスルーが抑止される。

【0006】

【発明が解決しようとする課題】バンチスルー防止用のP型不純物層54は、チャネル領域に設けられ、かつソース層57とドレイン層58の接合付近にピーク不純物濃度を有することが、バンチスルー防止に有効であることが知られている。

【0007】しかしながら、上記した従来の製造方法によれば、P型不純物層54は、チャネル領域だけでなく、ソース層57及びドレイン層58の形成領域にも形成される。このため、P型不純物層54のピーク不純物濃度をソース層57とドレイン層58の接合付近に設定すると、ソース層57とドレイン層58の有する接合容量が大きくなり、MOSトランジスタの動作速度が遅くなり、ひいては回路遅延時間が大きくなるという問題がある。

【0008】一方、P型不純物層54を形成する際に、

マスクを用いてチャネル領域に限定してイオン注入を行うことが考えられる。しかしながら、バンチスルー抑止効果を確実にするためには、マスク合わせずれに対する余裕度をみて、ソース層57とドレイン層58の形成領域に重畳させてイオン注入することが必要であり、接合容量の増加は避けられない。

【0009】本発明は、上記の課題に鑑みて為され、MOSトランジスタのバンチスルーを防止すると共に、ソース層及びドレイン層の有する接合容量を低減したMOSトランジスタの製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】本発明の半導体装置の製造方法は、第1に、第1導電型の半導体基板上にシリコン酸化膜を形成し、該シリコン酸化膜に開口部を形成する工程と、前記開口部から不純物を導入し、バンチスルー防止用の第1導電型不純物層を形成する工程と、前記開口部の半導体基板表面にゲート酸化膜を形成する工程と、前記開口部を充填するとともに前記シリコン酸化膜上にシリコン層を形成する工程と、前記シリコン層を全

面エッチングし、前記開口部に残存したシリコン層から成るゲート電極を形成する工程と、前記シリコン酸化膜を除去する工程と、前記ゲート電極の両側の前記半導体基板上に第2導電型のソース層及びドレイン層を形成する工程と、を有し、前記バンチスルー防止用の第1導電型層は、実質的にソース層とドレイン層との間のチャネル領域に形成されることを特徴としている。

【0011】この発明によれば、チャネル領域に限定してバンチスルー防止用の不純物層を形成することができ、ソース層及びドレイン層の有する接合容量を低減することができる。

【0012】第2に、第1導電型の半導体基板上に、その表面が実質的に該半導体基板の表面と同一平面上に位置するトレンチ分離膜を形成する工程と、前記トレンチ分離膜を含む前記半導体基板の全面にシリコン酸化膜を形成し、該シリコン酸化膜に開口部を形成する工程と、前記開口部から不純物を導入し、バンチスルー防止用の第1導電型不純物層を形成する工程と、前記開口部の半導体基板表面にゲート酸化膜を形成する工程と、前記開口部を充填するとともに前記シリコン酸化膜上にシリコン層を形成する工程と、前記シリコン層を全面エッチングし、前記開口部に残存したシリコン層から成るゲート電極を形成する工程と、前記シリコン酸化膜をエッチングにより除去する工程と、前記ゲート電極の両側の前記半導体基板上に第2導電型のソース層及びドレイン層を形成する工程と、を有し、前記バンチスルー防止用の第1導電型層は、実質的にソース層とドレイン層との間のチャネル領域に形成されることを特徴としている。

【0013】この発明によれば、素子分離膜として、そ

の表面が実質的に該半導体基板の表面と同一平面上に位置するトレンチ分離膜を用いているので、第1の発明の作用効果に加えて、シリコン層及びシリコン酸化膜の表面が平坦化され、シリコン層を全面エッチングし、前記開口部に残存したシリコン層から成るゲート電極を形成する際に、そのエッチングを容易に精度よく行うことができる。

【0014】第3に、前記シリコン層に対する全面エッチングはCMPによって行うことを特徴としている。このような構成をとることにより、ゲート電極を精度良く加工することができる。

【0015】第4に、前記シリコン酸化膜と前記シリコン層との間にシリコン窒化膜から成るエッチングストッパー膜を介在させることを特徴としている。これにより、CMPのエンドポイントを容易に検出でき、ゲート電極を精度良く加工することができる。

【0016】第5に、前記トレンチ分離膜は、シリコン酸化膜から成り、かつ該トレンチ分離膜と前記シリコン酸化膜との間にシリコン窒化膜から成るエッチングストッパー膜を介在させることを特徴としている。このような構成をとることにより、シリコン酸化膜をエッチング除去する際に、トレンチ分離膜がエッチングされるのを防止することができる。

【0017】

【発明の実施の形態】次に、本発明の実施形態を図1乃至図6を参照しながら説明する。

【0018】図1に示すように、P型シリコン基板1上に素子分離膜としてトレンチ分離膜2を形成する。これは、いわゆるシャロートレンチ技術によって、1 $\mu$ m～2 $\mu$ m程度の浅いトレンチ溝を形成し、そのトレンチ溝にシリコン酸化膜などの絶縁膜を埋め込むことによって形成する。

【0019】この埋め込みは、例えば、CVD酸化膜を堆積した後に、エッチバックやCMP (Chemical Mechanical Polishing) によって行うことができる。そのトレンチ分離膜2の表面は、実質的に半導体基板1の表面と同一平面上に位置する。なお、素子分離膜としては、LOCOS酸化膜を用いることもできるが、後に形成するシリコン酸化膜4を平坦化するためには、上記したような構成のトレンチ分離膜を用いることが有効である。

【0020】トレンチ分離膜2の形成後、LPCVD法によって300Å程度の第1シリコン窒化膜3をトレンチ分離膜2上を含む全面に形成する。この第1シリコン窒化膜3は、シリコン酸化膜4をエッチング除去する際のエッチングストッパーとして機能し、トレンチ分離膜2がエッチングされるのを防止する。

【0021】次に、2000Å程度のシリコン酸化膜4をLPCVD法によって堆積する。さらに、シリコン酸化膜4上には、LPCVD法によって、100Å程度の第2シリコン窒化膜5を形成する。この第2シリコン窒

化膜5は、後に形成するポリシリコン層に対するエッチングストッパーとして機能する。

【0022】次に、図2に示すように、図示しないホトレジストをマスクとして、第2シリコン窒化膜5、シリコン酸化膜4及び第1シリコン窒化膜3を順次、エッチングし、ゲート電極の形成領域に開口部6を形成する。そして、この開口部6から、ボロンをイオン注入して、パンチスルー防止用のp型層7を形成する。このとき、イオン注入の加速電圧は、40KeV、ドーズ量は $8 \times 10^{12} / \text{cm}^2$ 程度がパンチスルー防止効果を得るために適当である。

【0023】次に、図3に示すように、開口部6を充填すると共に、第2シリコン窒化膜5上に3000Åのポリシリコン層9をLPCVD法によって形成する。いま、開口部6の開口幅が0.4 $\mu\text{m}$ (4000Å)とすると、開口部6はポリシリコン層9によって充填される。開口部6の開口幅が0.3 $\mu\text{m}$ であるとする、ポリシリコン層9の膜厚は2000Åあれば足りる。なお、ポリシリコン層9に代えてアモルファスシリコン層を用いても良い。ポリシリコン層9、アモルファスシリコン層は、後にゲート電極に加工されるため、リンをドーピングすることにより低抵抗化する。

【0024】次に、図4に示すように、ポリシリコン層9を全面エッチングして開口部6に充填されたポリシリコン層9のみを残す。第2シリコン窒化膜は、エッチングストッパーとして機能する。この部分がゲート電極10となる。この全面エッチングは、エッチバックでもよいが、CMP (Chemical Mechanical Polishing) によって行うことが好ましい。これにより、開口部6にのみ、精度良くポリシリコン層9を残すことができる。また、素子分離膜としてトレンチ分離膜2を用い、ポリシリコン層9及びシリコン酸化膜4を平坦化しているの、CMPを行うのに適しており、高精度にゲート電極10を加工できる。

【0025】次に、図5に示すように、第2シリコン窒化膜5、シリコン酸化膜4及び第1シリコン窒化膜3を順次、エッチングして除去する。シリコン酸化膜4のエッチングはフッ酸系のエッチング液、第1及び第2シリコン窒化膜3、5のエッチングは、ホットリン酸などを用いて行うことができる。このとき、第1シリコン窒化膜3は、エッチングストッパーとして機能し、トレンチ分離膜2がエッチングされるのを防止している。

【0026】次に、図6に示すように、ゲート電極10をマスクとしてリンのイオン注入を行い、n-層を形成する。このイオン注入の加速電圧は20KeV、ドーズ量は $3 \times 10^{13} / \text{cm}^2$ 程度が適当である。さらに、ゲート電極10の側壁にサイドウォールスペーサ膜11を形成し、砒素のイオン注入を行い、n+層を形成する。このイオン注入の加速電圧は70KeV、ドーズ量は $5 \times 10^{13} / \text{cm}^2$ 程度が適当である。

【0027】その後、注入された不純物の活性化及び結晶欠陥の回復のために、1000°Cの温度下で約30秒のRTA (Rapid Thermal Anneal)を行い、さらに800°Cの温度下で約30分、ファーンズ内で熱処理を行う。こうして、n-層/n+層から成るソース層12及びドレイン層13を形成する。

【0028】なお、上記実施形態は、Nチャネル型MOSトランジスタに関するが、本発明は、これに限定されることがなく、Pチャネル型MOSトランジスタにも適用することができる。また、ゲート電極10は、ドーピングポリシリコン層から成るが、ソース層12及びドレイン層13と共にさらに低抵抗化するために、TiまたはCoを用いてサリサイド化してもよい。

【0029】

【発明の効果】上記のように、本発明によれば、第1に、MOSトランジスタのパンチスルーを防止すると共に、ソース層及びドレイン層の有する接合容量を低減することができるという効果を有する。

【0030】第2に、素子分離膜として、その表面が実質的に該半導体基板の表面と同一平面上に位置するトレンチ分離膜を用いているので、シリコン層及びシリコン酸化膜の表面が平坦化され、シリコン層を全面エッチングし、シリコン酸化膜の開口部に残存したシリコン層から成るゲート電極を形成する際に、そのエッチングを容易に精度よく行うことができるという効果を有する。

【0031】第3に、シリコン層に対する全面エッチングはCMPによって行っているため、ゲート電極を精度良く加工することができるという効果を有する。

【0032】第4に、シリコン酸化膜とシリコン層との間にシリコン窒化膜から成るエッチングストッパー膜を介在させることを特徴としている。これにより、CMPのエンドポイントを容易に検出でき、ゲート電極を精度良く加工することができるという効果を有する。

【0033】第5に、トレンチ分離膜は、シリコン酸化膜から成り、かつ該トレンチ分離膜とシリコン酸化膜との間にシリコン窒化膜から成るエッチングストッパー膜を介在させているので、シリコン酸化膜をエッチング除去する際に、トレンチ分離膜がエッチングされるのを防止する効果を有する。

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図2】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図3】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

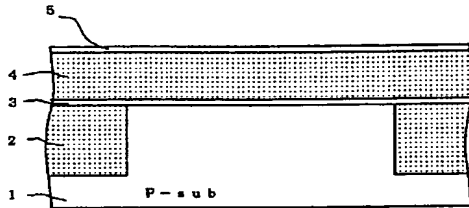
【図4】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図5】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図6】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

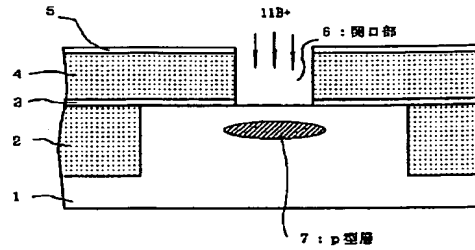
\* 【図7】従来例に係る半導体装置の製造方法を説明するための断面図である。

【図1】

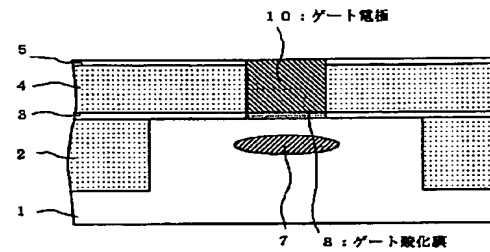


1:シリコン基板 2:トレンチ分離膜  
3:第1シリコン酸化膜  
4:シリコン酸化膜 5:第2シリコン酸化膜

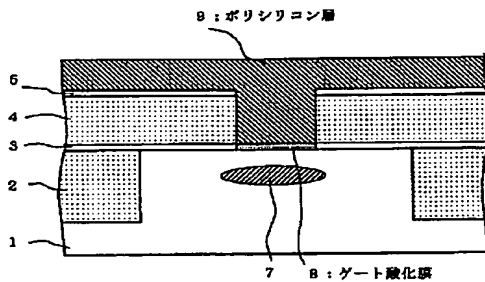
【図2】



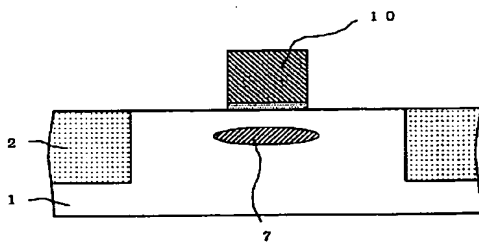
【図4】



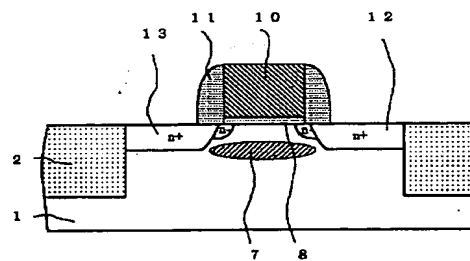
【図3】



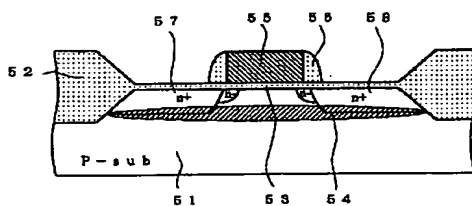
【図5】



【図6】



【図7】



1:Si基板 2:トレンチ分離膜 7:p型層  
8:ゲート酸化膜 10:ゲート電極  
11:サイドウォールスペーサ膜  
12:n-/n+ドレイン層 13:n-/n+ソース層

**THIS PAGE BLANK (USPTO)**